



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0040466
Application Number

출원 년 월 일 : 2002년 07월 11일
Date of Application JUL 11, 2002

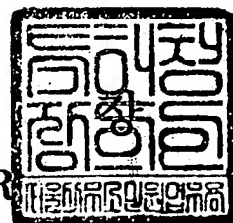
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 04 월 16 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0011
【제출일자】	2002.07.11
【발명의 명칭】	난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법
【발명의 영문명칭】	Method of forming a select line in a NAND type flash memory device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	박병수
【성명의 영문표기】	PARK, Byung Soo
【주민등록번호】	700821-1037322
【우편번호】	467-704
【주소】	경기도 이천시 관고동 194 두산아파트 103-1507
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 다 신영 무 리인 무 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	5 면 5,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	34,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법에 관한 것으로, 플로팅 게이트, 유전체막 및 콘트롤 게이트의 적층 구조로 이루어진 셀렉트 라인에서 콘트롤 게이트의 가장 자리에 제1 돌출부가 형성되도록 콘트롤 게이트를 패터닝하고, 자기 정렬 식각 공정으로 플로팅 게이트를 형성하되, 한쪽 끝단이 제1 돌출부와 중첩되는 제2 돌출부가 플로팅 게이트의 가장 자리에 형성되도록 플로팅 게이트를 패터닝한 후 콘택 플러그와 금속 배선으로 제1 및 제2 돌출부를 전기적으로 연결하여 저항이 낮은 콘트롤 게이트와 플로팅 게이트에 전압이 같이 인가되도록 함으로써, 전압 강하(Voltage drop)가 발생하는 것을 최소화하여 전기적 특성을 향상시키고 플로팅 게이트와 콘트롤 게이트를 전기적으로 연결하기 위한 유전체막의 제거 공정을 생략하여 공정 단계를 단순화할 수 있는 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법이 개시된다.

【대표도】

도 4

【색인어】

난드 플래시 메모리, 셀렉트 트랜지스터, 전압 강하, 플로팅 게이트, 콘트롤 게이트, 유전체막

【명세서】

【발명의 명칭】

난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법{Method of forming a select line in a NAND type flash memory device}

【도면의 간단한 설명】

도 1은 일반적인 난드형 플래시 메모리 어레이의 레이 아웃도이다.

도 2는 도 1의 선A-A'에 따른 단면도이다.

도 3은 도 1의 선B-B'에 따른 단면도이다.

도 4는 본 발명에 따른 난드형 플래시 메모리 어레이의 레이 아웃도이다.

도 5a 내지 도 5f는 도 4의 선C-C'에 따른 단면도이다.

도 6a 내지 도 6f는 도 4의 선D-D'에 따른 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

ACT : 활성 영역 B100, B400 : 블록

DSL0, DSL1 : 드레인 셀렉트 라인 Td : 드레인 셀렉트 트랜지스터

SSL1, SSL2 : 소오스 셀렉트 라인 Ts : 소오스 셀렉트 트랜지스터

WL1 내지 WLn : 워드 라인 Cell1 내지 Celln : 플래시 메모리 셀

FGI : 플로팅 게이트 격리 패턴 101, 401 : 반도체 기판

102, 402 : 소자 분리막 103, 403 : 터널 산화막

104 : 플로팅 게이트 105, 405 : 유전체막

106 : 콘트롤 게이트 107 : 불순물 영역

107d : 드레인 107s : 소오스

404 : 제1 폴리실리콘층 400b : 제1 폴리실리콘층의 돌출부

406 : 제2 폴리실리콘층 407 : 실리사이드층

400a : 실리사이드층 및 제2 폴리실리콘층의 돌출부

408 : 절연막 스페이서 409 : 층간 절연막

410a, 410b : 콘택 플러그 411 : 금속 배선

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<22> 본 발명은 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법에 관한 것으로, 특히 플래시 메모리 셀과 동일한 구조로 이루어진 셀렉트 트랜지스터에서 저항이 큰 플로팅 게이트용 폴리실리콘층에 바이어스를 인가하는 경우 전압 감소(Voltage drop)에 의해 전기적 특성이 저하되는 것을 방지할 수 있는 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법에 관한 것이다.

- <23> 적층(Stack) 구조의 난드형 플래시 메모리(NAND flash memory) 소자는 블록(Block) 단위로 동작을 하는데, 이때, 셀렉트 트랜지스터를 이용하여 블록을 구분하여 선택한다.
- <24> 도 1은 일반적인 난드형 플래시 메모리 어레이의 레이 아웃도이다. 도 2는 도 1의 선A-A'에 따른 단면도이다. 도 3은 도 1의 선B-B'에 따른 단면도이다.
- <25> 도 1 내지 도 3을 참조하면, 반도체 기판(101)의 소정영역에 소자 분리막(102)이 형성되어 서로 평행한 복수개의 활성 영역(ACT)이 정의된다. 반도체 기판(101) 상부에는 활성 영역(ACT)과 수직 방향으로 드레인 셀렉트 라인(Drain Select Line; DSL0, DSL1, ...), 제1 내지 제n 워드 라인(WL1 내지 WLn) 및 소오스 셀렉트 라인(SSL1, SSL2, ...)이 형성된다. 상기의 라인들은 터널 산화막(103), 플로팅 게이트(104), 유전체막(105) 및 콘트롤 게이트(106)의 적층 구조로 이루어지며, 콘트롤 게이트(106)는 폴리실리콘층 및 실리사이드층의 적층 구조로 이루어진다. 한편, 드레인 셀렉트 라인(DSL0, DSL1, ...), 제1 내지 제n 워드 라인(WL1 내지 WLn) 및 소오스 셀렉트 라인(SSL1, SSL2, ...) 사이의 활성 영역(ACT)에는 불순물 영역들(107d, 107 및 107s)이 형성된다. 여기서, 제1 워드 라인(WL1) 반대편의 드레인 셀렉트 라인(DSL1)의 가장 자리에 형성된 불순물 영역(107d)은 드레인 역할을 하고, 제n 워드 라인(WLn) 반대편의 소오스 선택 라인(SSL1)의 가장 자리에 형성된 불순물 영역(107s)은 소오스 역할을 한다. 한편, 드레인 선택 라인(DSL1) 및 활성 영역(ACT)이 교차하는 부분에는 드레인 선택 트랜지스터(Td)가 형성되고, 소오스 선택 라인(SSL1) 및 활성영역(ACT)이 교차하는 부분에는 접지 선택 트랜지스터(Ts)가 형성된다. 이와 마찬가지로, 제1 내지 제n 워드 라인(WL1 내지 WLn) 및 활성영역(ACT)이 교차하는 부분에는 플래시 메모리 셀(Cell1 내지 Celln)이 형성된다. 이때, 활성 영역(ACT)은 소자 분리막(102)에 의해 격리되어 있으나, 접지 선택 트랜지스터(Ts)

사이에서는 활성 영역(ACT)들을 접지 단자로 용이하게 연결시키기 위하여 접지 선택 트랜지스터(Ts) 사이의 활성 영역(ACT)들이 서로 연결(도면에서는 격리된 상태로 도시됨) 되도록 활성 영역(ACT)을 형성할 수도 있다. 이로써, 반도체 기판(101) 상에는 활성 영역(ACT)에 직렬 연결된 스트링 선택 트랜지스터(Td), 복수개의 플래시 메모리 셀(Cell1 내지 Celln) 및 접지 선택 트랜지스터(Ts)로 구성된 블록(B100)이 형성된다.

<26> 상기에서, 플래시 메모리 셀(Cell1 내지 Celln)의 플로팅 게이트(103)는 플로팅 게이트 격리(Floating Gate Isolation; FGI) 패턴에 의해 소자 분리 영역 상부에서 서로 격리된다. 하지만, 드레인 선택 라인(DSL0, DSL1, ...) 및 접지 선택 라인(SSL1, SSL2, ...)은, 도 3에서와 같이, 소자 분리(102) 상부에서도 격리되지 않고 모든 층(102 내지 106)이 연속적으로 연결된다.

<27> 이때, 드레인 선택 트랜지스터(Td)와 소오스 선택 트랜지스터(Ts)는 플래시 메모리 셀의 구조로 형성되기 때문에 정상적인 트랜지스터의 동작을 얻기 위해서는 셀렉트 라인(DSL 또는 SSL) 또는 플로팅 게이트로 고전압을 인가해야 하거나, 드레인 선택 라인(DSL0, DSL1, ...) 및 소오스 선택 라인(SSL1, SSL2, ...)에서 콘트롤 게이트(106) 및 플로팅 게이트(104) 사이의 유전체막(105)을 제거해야 한다.

<28> 이 경우 플로팅 게이트의 높은 저항으로 인하여 전압 강하(Voltage drop)가 심하게 발생되며, 소자의 집적도가 높아짐에 따라, 드레인 선택 라인(DSL0, DSL1, ...) 및 소오스 선택 라인(SSL1, SSL2, ...)에서 콘트롤 게이트(106) 및 플로팅 게이트(104) 사이의 유전체막(105)을 제거하기 위한 공정의 마진을 확보하기 어려워 전체 공정의 난이도가 높아지는 문제점이 발생된다.

【발명이 이루고자 하는 기술적 과제】

<29> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 플로팅 게이트, 유전체막 및 콘트롤 게이트의 적층 구조로 이루어진 셀렉트 라인에서 콘트롤 게이트의 가장 자리에 제1 돌출부가 형성되도록 콘트롤 게이트를 패터닝하고, 자기 정렬 식각 공정으로 플로팅 게이트를 형성하되, 한쪽 끝단이 제1 돌출부와 중첩되는 제2 돌출부가 플로팅 게이트의 가장 자리에 형성되도록 플로팅 게이트를 패터닝한 후 콘택 플러그와 금속 배선으로 제1 및 제2 돌출부를 전기적으로 연결하여 저항이 낮은 콘트롤 게이트와 플로팅 게이트에 전압이 같이 인가되도록 함으로써, 전압 강하(Voltage drop)가 발생하는 것을 최소화하여 전기적 특성을 향상시키고 플로팅 게이트와 콘트롤 게이트를 전기적으로 연결하기 위한 유전체막의 제거 공정을 생략하여 공정 단계를 단순화할 수 있는 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<30> 본 발명에 따른 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법은 소자 분리막이 형성된 반도체 기판 상에 터널 산화막 및 제1 폴리실리콘층을 순차적으로 형성한 후 비트 라인 방향으로 1차 패터닝하는 단계와, 전체 상부에 유전체막, 제2 폴리실리콘층 및 실리사이드층을 형성하는 단계와, 드레인 선택 라인 영역 사이의 소자 분리 영역 상부의 실리사이드층 및 제2 폴리실리콘층 가장자리에 제1 돌출부가 구비되도록 실리사이드층 및 제2 폴리실리콘층을 2차 패터닝하는 단계와, 드레인 선택 라인 영역 사이의 소자 분리 영역 상부의 제1 폴리실리콘층 가장자리에 한쪽 끝단이 제1 돌출부와 중첩되는 제2 돌출부가 구비되도록 유전체막 및 제1 폴리실리콘층을 3차 패터닝하여 드레인 셀



렉트 라인을 형성하는 단계와, 전체 상부에 층간 절연막을 형성한 후 제1 및 제2 돌출부가 개방되는 콘택홀을 형성하는 단계와, 콘택홀을 전도성 물질로 매립하여 콘택 플러그를 형성하고, 층간 절연막 상부에는 제1 및 제2 돌출부 상에 형성된 콘택 플러그를 연결하는 금속 배선을 형성하는 단계를 포함하는 것을 특징으로 한다.

<31> 상기에서, 2차 패터닝 공정 시 셀 영역에서는 워드 라인을 형성하기 위하여 실리사이드층 및 제2 폴리실리콘층의 패터닝이 이루어지는 것을 특징으로 한다.

<32> 3차 패터닝 공정은 제1 폴리실리콘층의 가장자리에 제2 돌출부가 구비되도록 제2 돌출부 상에 식각 마스크를 형성한 상태에서 실시되는 것을 특징으로 하며, 3차 패터닝 공정 시 셀 영역에서는 워드 라인을 형성하기 위하여 자기 정렬 식각이 진행되어 유전체막 및 제1 폴리실리콘층의 패터닝이 이루어지는 것을 특징으로 한다.

<33> 제 1 항에 있어서, 3차 패터닝을 실시한 후 층간 절연막을 형성하기 전에, 드레인 셀렉트 라인의 측벽에 절연막 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 한다.

<34> 콘택홀 및 콘택 플러그 형성 시 셀 영역의 활성 영역에도 비트 라인과 활성 영역을 연결하기 위한 콘택홀 및 콘택 플러그가 형성되는 것을 특징으로 한다.

<35> 본 발명의 다른 실시예에 따른 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법은 소자 분리막이 형성된 반도체 기판 상에 터널 산화막 및 제1 폴리실리콘층을 순차적으로 형성한 후 비트 라인 방향으로 1차 패터닝하는 단계와, 전체 상부에 유전체막, 제2 폴리실리콘층 및 실리사이드층을 형성하는 단계와, 콘트롤 게이트 마스크를 이용한

식각 공정으로 실리콘사이드층 및 제2 폴리실리콘층을 2차 패터닝하는 단계와, 전체 상부에 층간 절연막을 형성한 후 제1 및 제2 폴리실리콘층의 소정 영역이 각각 개방되는 콘택홀을 형성하는 단계와, 콘택홀을 전도성 물질로 매립하여 콘택 플러그를 형성하고, 층간 절연막 상부에는 제1 및 제2 돌출부 상에 형성된 콘택 플러그를 연결하는 금속 배선을 형성하는 단계를 포함하는 것을 특징으로 한다.

<36> 상기에서, 2차 패터닝 공정 시 셀 영역에서는 워드 라인을 형성하기 위하여 실리콘사이드층 및 제2 폴리실리콘층의 패터닝이 이루어지는 것을 특징으로 한다.

<37> 2차 패터닝을 실시하고 층간 절연막을 형성하기 전에, 자기 정렬 식각 공정으로 셀 영역의 유전체막 및 제1 폴리실리콘층을 3차 패터닝하는 단계를 더 포함하는 것을 특징으로 하며, 소오스 셀렉트 라인의 측벽에 절연막 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 한다.

<38> 콘택홀 및 콘택 플러그 형성 시 셀 영역의 활성 영역에도 비트 라인과 활성 영역을 연결하기 위한 콘택홀 및 콘택 플러그가 형성되는 것을 특징으로 한다.

<39> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 한편, 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<40> 도 4는 본 발명에 따른 난드형 플래시 메모리 어레이의 레이아웃도이다.

- <41> 도 4를 참조하면, 본 발명에 따른 난드형 플래시 메모리 블록(B400)은 활성 영역(ACT)과 수직 방향으로 형성된 드레인 셀렉트 라인(Drain Select Line; DSL0, DSL1, ...), 제1 내지 제n 워드 라인(WL1 내지 WLn) 및 소오스 셀렉트 라인(SSL1, SSL2, ...)과, 드레인 셀렉트 라인(DSL0, DSL1, ...), 제1 내지 제n 워드 라인(WL1 내지 WLn) 및 소오스 셀렉트 라인(SSL1, SSL2, ...) 사이의 활성 영역(ACT)에 형성된 불순물 영역들과, 드레인 선택 라인(DSL1) 및 활성 영역(ACT)이 교차하는 부분에 형성된 드레인 선택 트랜지스터(Td)와, 소오스 선택 라인(SSL1) 및 활성영역(ACT)이 교차하는 부분에 형성된 접지 선택 트랜지스터(Ts)와, 제1 내지 제n 워드 라인(WL1 내지 WLn) 및 활성영역(ACT)이 교차하는 부분에 형성된 플래시 메모리 셀(Cell1 내지 Celln)로 이루어진다.
- <42> 이때, 드레인 셀렉트 라인(DSL0, DSL1, ...)에서 제1 및 제2 콘택 플러그(410a 및 410b)와 금속 배선(411)에 의해 드레인 셀렉트 라인(DSL0, DSL1, ...)의 콘트롤 게이트와 플로팅 게이트가 전기적으로 연결된다.
- <43> 좀 더 상세하게 설명하면, 플로팅 게이트, 유전체막 및 콘트롤 게이트의 적층 구조로 이루어진 드레인 셀렉트 라인(DSL0, DSL1, ...)에서 콘트롤 게이트의 가장 자리에 제1 돌출부(400a)가 형성되도록 콘트롤 게이트를 패터닝하고, 자기 정렬 식각 공정으로 플로팅 게이트를 형성하되, 한쪽 끝단이 제1 돌출부(400a)와 중첩되는 제2 돌출부(400b)가 플로팅 게이트의 가장 자리에 형성되도록 플로팅 게이트를 패터닝한 후 콘택 플러그(410a 및 410b)와 금속 배선(411)으로 제1 및 제2 돌출부(400a 및 400b)를 전기적으로 연결하여 드레인 셀렉트 라인(DSL0, DSL1, ...)으로 인가된 전압이 저항이 낮은 콘트롤 게이트와 저항이 높은 플로팅 게이트에 동시에 인가되도록 한다.

- <44> 이하, 도 5a 내지 도 5f 및 도 6a 내지 도 6g를 참조하여, 본 발명에 따른 셀렉트 라인의 형성 방법을 설명하기로 한다.
- <45> 도 5a 내지 도 5f는 도 4의 선C-C'에 따른 단면도이다. 도 6a 내지 도 6f는 도 4의 선D-D'에 따른 단면도이다.
- <46> 도 4, 도 5a 및 도 6a를 참조하면, 반도체 기판(401)의 소정 분리 영역에 소자 분리막(402)을 형성하여 소자가 형성될 활성 영역(ACT)을 정의한다.
- <47> 도 4, 도 5b 및 도 6b를 참조하면, 전체 상부에 터널 산화막(403) 및 플로팅 게이트용 제1 폴리실리콘층(404)을 순차적으로 형성한다. 이후, 도면에는 나타나지 않지만, 플로팅 게이트를 형성하기 위한 1차 패터닝 공정으로 제1 폴리실리콘층(404) 및 터널 산화막(403)이 소자 분리막(402) 상부에서 격리되도록 위드 라인과 수직 방향으로 제1 폴리실리콘층(404) 및 터널 산화막(403)을 패터닝한다.
- <48> 도 4, 도 5c 및 도 6c를 참조하면, 전체 상부에 유전체막(405), 콘트롤 게이트용 제2 폴리실리콘층(406) 및 실리사이드층(407)을 순차적으로 형성한다.
- <49> 도 4, 도 5d 및 도 6d를 참조하면, 콘트롤 게이트 마스크를 이용한 식각 공정으로 실리사이드층(407) 및 제2 폴리실리콘층(406)을 패터닝한다. 이때, 두개의 드레인 선택 라인(DSL0 및 DSL1) 사이의 소자 분리 영역 상부의 실리사이드층(407) 및 제2 폴리실리콘층(406) 가장자리에 제1 돌출부(400a)가 형성되도록 실리사이드층(407) 및 제2 폴리실리콘층(406)을 패터닝한다. 또한, 식각 공정으로 실시하기 전에, 패터닝 특성을 향상시키기 위하여 실리사이드층(407) 상부에 하드 마스크(도시되지 않음) 및 반사 방지막(도시되지 않음)을 형성한 후 식각 공정을 실시한다.

- <50> 한편, 실리사이드층(407) 및 제2 폴리실리콘층(406)은 유전체막(405)을 식각 정지층으로 이용하는 식각 공정에 의해 패터닝되는데, 실리사이드층(407) 및 제2 폴리실리콘층(406)을 패터닝한 후에 유전체막(405)을 추가로 패터닝할 수도 있다.
- <51> 도 4, 도 5e 및 도 6e를 참조하면, 자기 정렬 식각(Self-Aligned Etch; SAE) 공정으로 하부의 유전체막(405) 및 제1 폴리실리콘층(404)을 패터닝한다. 이때, 두개의 드레인 선택 라인(DSL0 및 DSL1) 사이의 소자 분리 영역 상부의 제1 폴리실리콘층(404) 가장자리에 한쪽 끝단이 제1 돌출부(400a)와 중첩되는 제2 돌출부(400b)가 형성되도록 식각 마스크(도시되지 않음)를 형성한 후 유전체막(405) 및 제1 폴리실리콘층(404)을 패터닝한다.
- <52> 이로써, 실리사이드층(407) 및 제2 폴리실리콘층(406)의 가장자리에는 제1 돌출부(400a)가 형성되고, 제1 폴리실리콘층(404) 가장자리에는 한쪽 끝단이 제1 돌출부(400a)와 중첩되는 제2 돌출부(400b)가 형성된 드레인 선택 라인(DSL0, DSL1, ...)이 형성되며, 드레인 선택 라인(DSL0, DSL1, ...)과 활성 영역(ACT)이 중첩되는 영역에는 드레인 선택 트랜지스터(Td)가 제조된다. 한편, 셀 영역에서는 터널 산화막, 제1 폴리실리콘층으로 이루어진 플로팅 게이트, 유전체막, 제2 폴리실리콘층 및 실리사이드층으로 이루어진 콘트롤 게이트가 적층된 워드 라인(WL1 내지 WLn)이 형성되면서, 워드 라인(WL1 내지 WLn)과 활성 영역(ACT)이 중첩되는 영역에는 플래시 메모리 셀(Cell1 내지 Celln)이 제조된다.
- <53> 이후, 도면에는 도시되어 있지 않지만, 이온 주입 공정을 실시하여 드레인 선택 라인(DSL0, DSL1, ...), 워드 라인(WL1 내지 WLn) 및 소오스 선택 라인(SSL1, SSL2,

...) 사이의 활성 영역(ACT)에 불순물 영역을 형성한다. 불순물 영역은 드레인 셀렉트 트랜지스터(Td)의 드레인이나 소오스 셀렉트 트랜지스터(Ts)의 소오스 역할을 한다.

<54> 도 4, 도 5f 및 도 6f를 참조하면, 각 워드 라인(DSL0, DSL1, ..., WL1 내지 WLn, SSL1, SSL2, ...)의 측벽에 절연막 스페이서(408)를 형성한 후 전체 상부에 층간 절연막(409)을 형성한다. 이후, 활성 영역의 소정 부분과 제1 및 제2 돌출부(400a 및 400b)가 개방되는 콘택홀을 형성한다. 활성 영역의 소정 부분이 개방되는 콘택홀(도면에 서는 도시되지 않음)은 활성 영역(ACT)과 비트 라인(도시되지 않음)을 전기적으로 연결하기 위하여 형성되며, 제1 및 제2 돌출부(400a 및 400b)가 개방되는 콘택홀은 제1 및 제2 돌출부(400a 및 400b)를 전기적으로 연결하기 위하여 형성된다.

<55> 콘택홀이 형성되면, 콘택홀을 전도성 물질로 매립하여 콘택 플러그(410a 및 410b)를 형성한다. 이후, 층간 절연막(409) 상부에 비트 라인(편의상 도시되지 않음)을 형성하기 위하여 금속층 형성 공정 및 패터닝 공정을 실시하는 과정에서, 제1 돌출부(400a) 상부에 형성된 제1 콘택 플러그(410a)와 제2 돌출부(400b) 상부에 형성된 제2 콘택 플러그(410b)가 전기적으로 연결되도록 제1 및 제2 콘택 플러그(410a 및 410b)를 연결하는 금속 배선(411)을 함께 형성한다.

<56> 이로써, 실리사이드층(407) 및 제2 폴리실리콘층(406)의 제1 돌출부(400a)와 제1 폴리실리콘층(404)의 제2 돌출부(400b)가 제1 및 제2 콘택 플러그(410a 및 410b) 및 금속 배선(411)을 통해 전기적으로 연결된다. 즉, 드레인 선택 라인(DSL0, DSL1, ...)의 콘트롤 게이트와 플로팅 게이트가 제1 및 제2 돌출부(400a 및 400b), 제1 및 제2 콘택 플러그(410a 및 410b) 및 금속 배선(411)을 통해 전기적으로 연결된다. 이로써, 드레인 셀렉트 라인(DSL0, DSL1, ...)으로 인가된 전압이 저항이 낮은 콘트롤 게이트와 저항이

높은 플로팅 게이트에 동시에 인가되어 전압 강하(Voltage drop)가 발생하는 것을 최소화하면서 드레인 셀렉트 트랜지스터(T_d)가 정상적으로 동작될 수 있도록 한다.

<57> 한편, 도면에는 도시되어 있지 않지만, 상기의 드레인 셀렉트 라인(DSL0, DSL1, ...)을 형성하는 방법을 이용하여 소오스 셀렉트 라인(SSL1, SSL2, ...)을 형성할 수도 있다. 이때, 드레인 셀렉트 라인(DSL0, DSL1, ...)의 경우에는 서로 독립적으로 동작해야 하므로, 플로팅 게이트인 제1 폴리실리콘층이 서로 격리되어야 한다. 하지만, 소오스 셀렉트 라인(SSL1, SSL2, ...)의 경우에는 동시에 함께 동작해도 무방하므로, 소오스 셀렉트 라인(SSL1 및 SSL2)의 플로팅 게이트 가장 자리에 돌출부가 구비되도록 플로팅 게이트를 형성하지 않고, 인접한 소오스 셀렉트 라인(SSL1 및 SSL2)의 플로팅 게이트가 서로 연결되도록 소오스 셀렉트 라인(SSL1 및 SSL2)을 형성할 수도 있다. 또한, 소오스 셀렉트 라인(SSL1 및 SSL2)의 콘트롤 게이트에도 돌출부를 형성하지 않고 소오스 셀렉트 라인(SSL1 및 SSL2) 사이에 잔류하는 콘트롤 게이트와 플로팅 게이트 상부에 각각 콘택 플러그를 형성한 후 금속 배선을 형성하여 콘트롤 게이트와 플로팅 게이트를 전기적으로 연결할 수도 있으며, 아예 콘트롤 게이트가 서로 연결되도록 형성할 수도 있다.

【발명의 효과】

<58> 상술한 바와 같이, 본 발명은 셀렉트 라인의 플로팅 게이트 및 콘트롤 게이트에 각각 돌출부를 형성하고, 콘택 플러그와 금속 배선으로 돌출부를 연결하여 저항이 큰 플로팅 게이트 및 저항이 낮은 콘트롤 게이트를 전기적으로 연결함으로써, 셀렉트 라인에 인가되는 전압이 콘트롤 게이트와 플로팅 게이트에 같이 인가되어 전압 강하(Voltage drop)량이 줄어들고 플로팅 게이트와 콘트롤 게이트를 전기적으로 연결하기 위한 유전체

막의 제거 공정이 생략되어, 소자의 전기적 특성을 향상시키고 공정 단계를 단순화할 수 있다.

【특허청구범위】**【청구항 1】**

소자 분리막이 형성된 반도체 기판 상에 터널 산화막 및 제1 폴리실리콘층을 순차적으로 형성한 후 비트 라인 방향으로 1차 패터닝하는 단계;

전체 상부에 유전체막, 제2 폴리실리콘층 및 실리사이드층을 형성하는 단계;

드레인 선택 라인 영역 사이의 상기 소자 분리 영역 상부의 상기 실리사이드층 및 상기 제2 폴리실리콘층 가장자리에 제1 돌출부가 구비되도록 상기 실리사이드층 및 상기 제2 폴리실리콘층을 2차 패터닝하는 단계;

상기 드레인 선택 라인 영역 사이의 소자 분리 영역 상부의 상기 제1 폴리실리콘층 가장자리에 한쪽 끝단이 상기 제1 돌출부와 중첩되는 제2 돌출부가 구비되도록 상기 유전체막 및 상기 제1 폴리실리콘층을 3차 패터닝하여 드레인 셀렉트 라인을 형성하는 단계;

전체 상부에 층간 절연막을 형성한 후 상기 제1 및 제2 돌출부가 개방되는 콘택홀을 형성하는 단계;

상기 콘택홀을 전도성 물질로 매립하여 콘택 플러그를 형성하고, 상기 층간 절연막 상부에는 상기 제1 및 제2 돌출부 상에 형성된 콘택 플러그를 연결하는 금속 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법.

【청구항 2】

제 1 항에 있어서,

상기 2차 패터닝 공정 시 셀 영역에서는 워드 라인을 형성하기 위하여 실리사이드층 및 제2 폴리실리콘층의 패터닝이 이루어지는 것을 특징으로 하는 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법.

【청구항 3】

제 1 항에 있어서,

상기 3차 패터닝 공정은 상기 제1 폴리실리콘층의 가장자리에 상기 제2 돌출부가 구비되도록 상기 제2 돌출부 상에 식각 마스크를 형성한 상태에서 실시되는 것을 특징으로 하는 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법.

【청구항 4】

제 1 항 또는 제 3 항에 있어서,

상기 3차 패터닝 공정 시 셀 영역에서는 워드 라인을 형성하기 위하여 자기 정렬 식각이 진행되어 유전체막 및 제1 폴리실리콘층의 패터닝이 이루어지는 것을 특징으로 하는 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법.

【청구항 5】

제 1 항에 있어서, 상기 3차 패터닝을 실시한 후 상기 층간 절연막을 형성하기 전에,

상기 드레인 셀렉트 라인의 측벽에 절연막 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법.

【청구항 6】

제 1 항에 있어서,

상기 콘택홀 및 상기 콘택 플러그 형성 시 셀 영역의 활성 영역에도 비트 라인과 상기 활성 영역을 연결하기 위한 콘택홀 및 콘택 플러그가 형성되는 것을 특징으로 하는 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법.

【청구항 7】

소자 분리막이 형성된 반도체 기판 상에 터널 산화막 및 제1 폴리실리콘층을 순차적으로 형성한 후 비트 라인 방향으로 1차 패터닝하는 단계;

전체 상부에 유전체막, 제2 폴리실리콘층 및 실리사이드층을 형성하는 단계;

콘트롤 게이트 마스크를 이용한 식각 공정으로 상기 실리사이드층 및 상기 제2 폴리실리콘층을 2차 패터닝하는 단계;

전체 상부에 층간 절연막을 형성한 후 상기 제1 및 제2 폴리실리콘층의 소정 영역이 각각 개방되는 콘택홀을 형성하는 단계;

상기 콘택홀을 전도성 물질로 매립하여 콘택 플러그를 형성하고, 상기 층간 절연막 상부에는 상기 제1 및 제2 돌출부 상에 형성된 콘택 플러그를 연결하는 금속 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법.

【청구항 8】

제 7 항에 있어서,

상기 2차 패터닝 공정 시 셀 영역에서는 위드 라인을 형성하기 위하여 실리콘사이드 층 및 제2 폴리실리콘층의 패터닝이 이루어지는 것을 특징으로 하는 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법.

【청구항 9】

제 7 항 또는 제 8 항에 있어서, 상기 2차 패터닝을 실시하고 상기 층간 절연막을 형성하기 전에,

자기 정렬 식각 공정으로 셀 영역의 유전체막 및 제1 폴리실리콘층을 3차 패터닝하는 단계를 더 포함하는 것을 특징으로 하는 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법.

【청구항 10】

제 7 항에 있어서, 상기 2차 패터닝을 실시한 후 상기 층간 절연막을 형성하기 전에,

상기 소오스 셀렉트 라인의 측벽에 절연막 스페이서를 형성하는 단계를 더 포함하는 것을 특징으로 하는 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법.

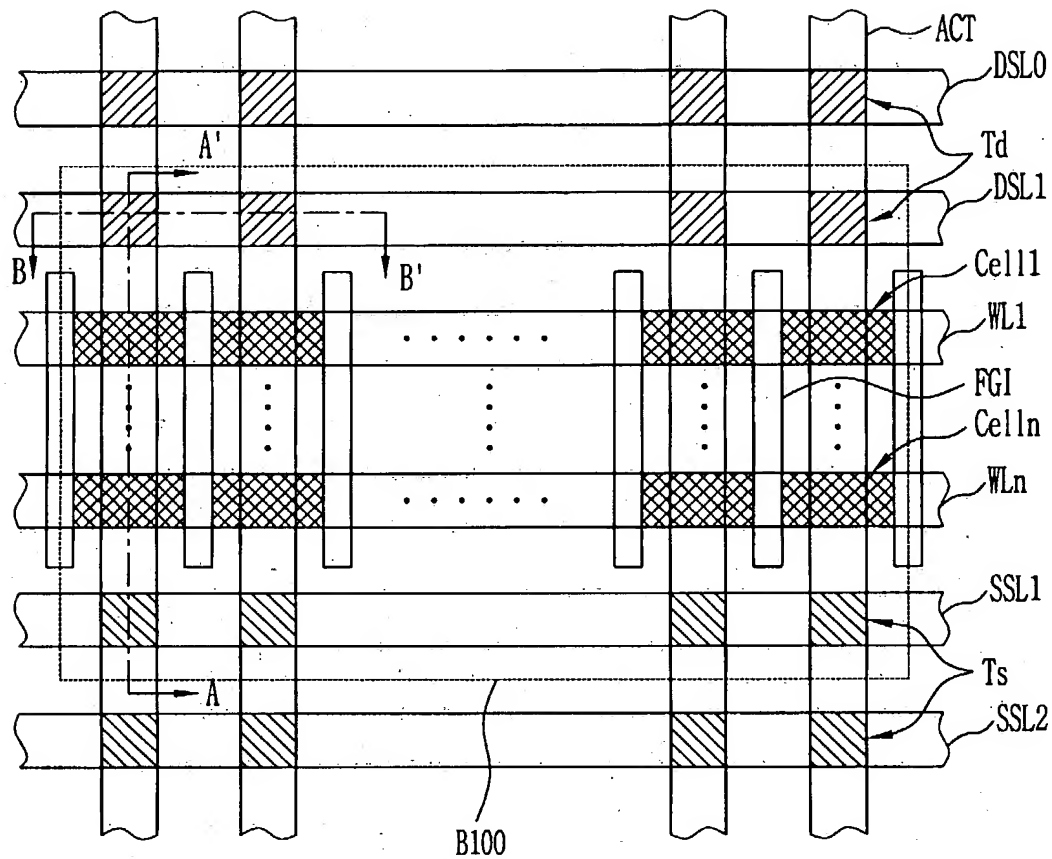
【청구항 11】

제 7 항에 있어서,

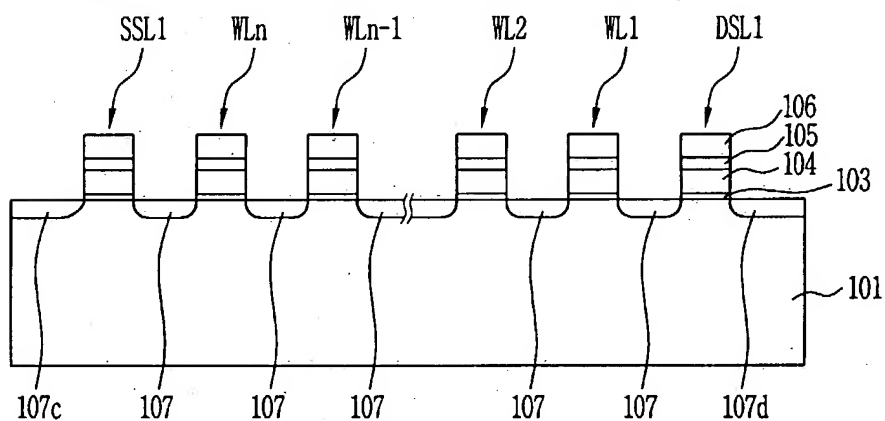
상기 콘택홀 및 상기 콘택 플러그 형성 시 셀 영역의 활성 영역에도 비트 라인과 상기 활성 영역을 연결하기 위한 콘택홀 및 콘택 플러그가 형성되는 것을 특징으로 하는 난드형 플래시 메모리 소자의 셀렉트 라인 형성 방법.

【도면】

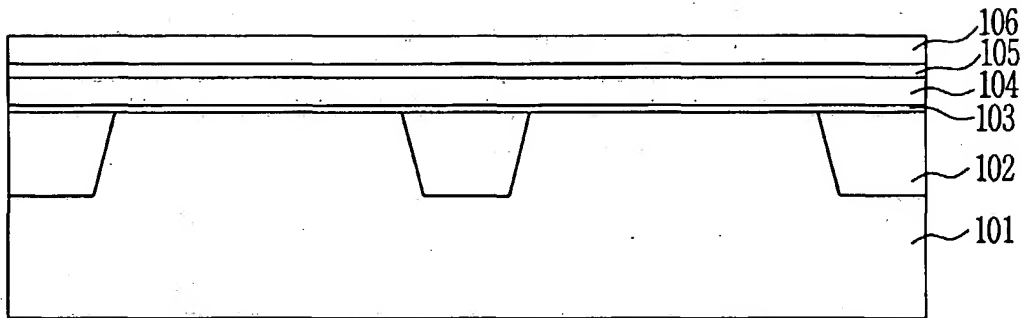
【도 1】



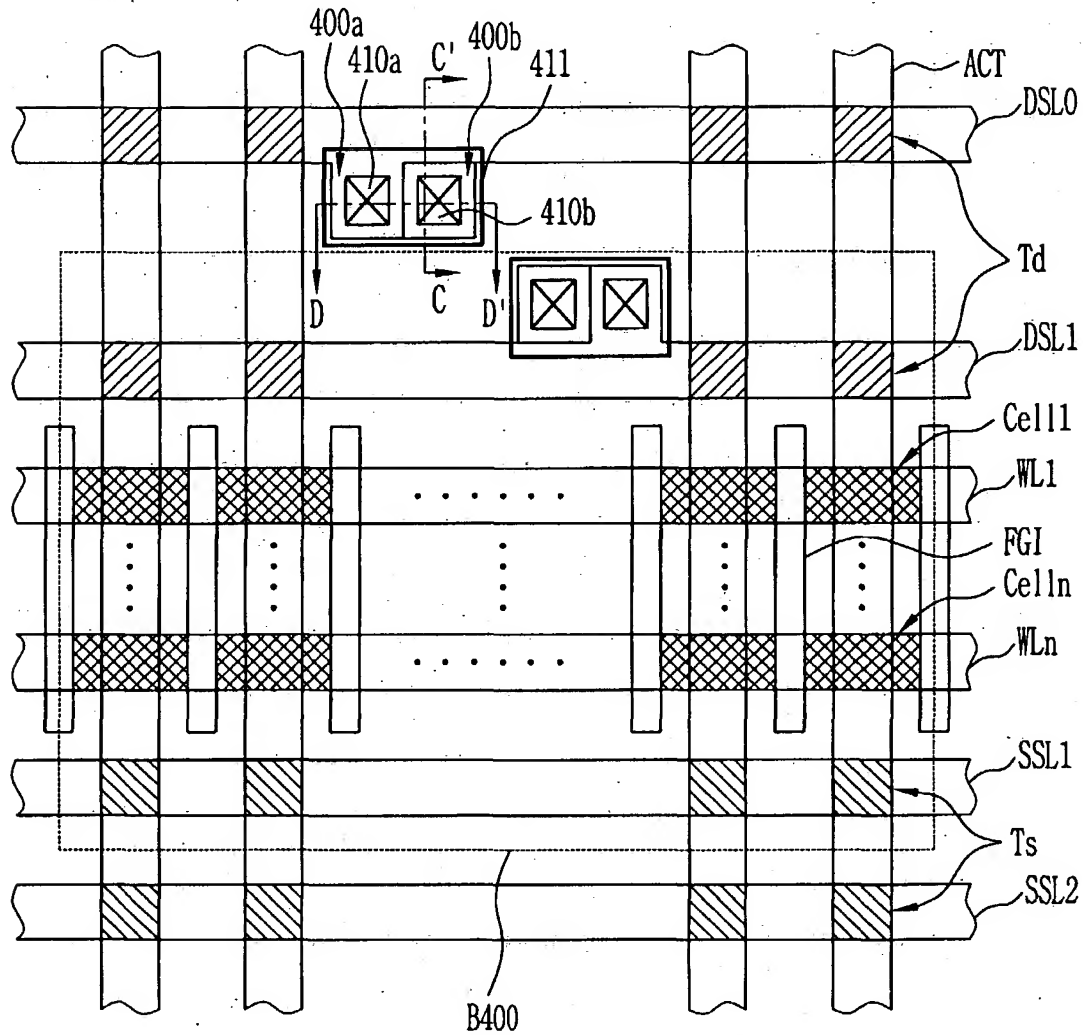
【도 2】



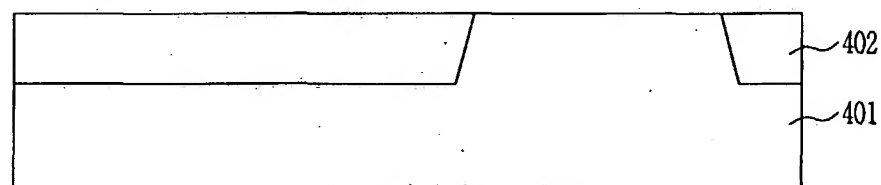
【도 3】



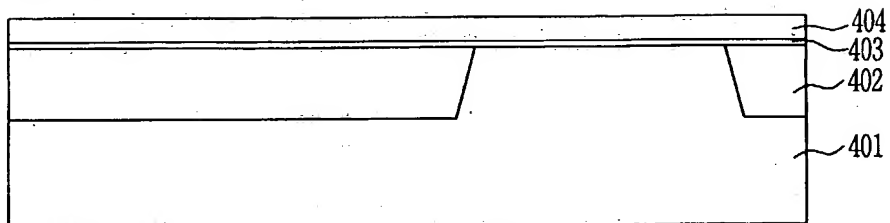
【도 4】



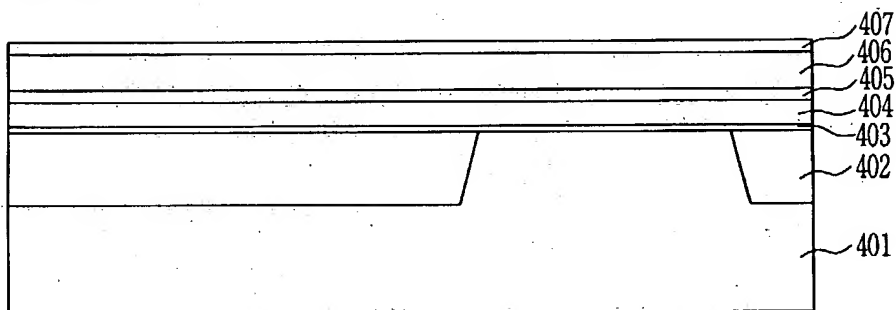
【도 5a】



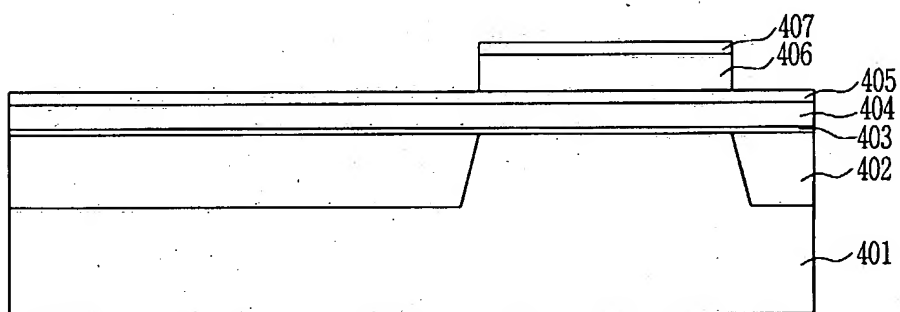
【도 5b】



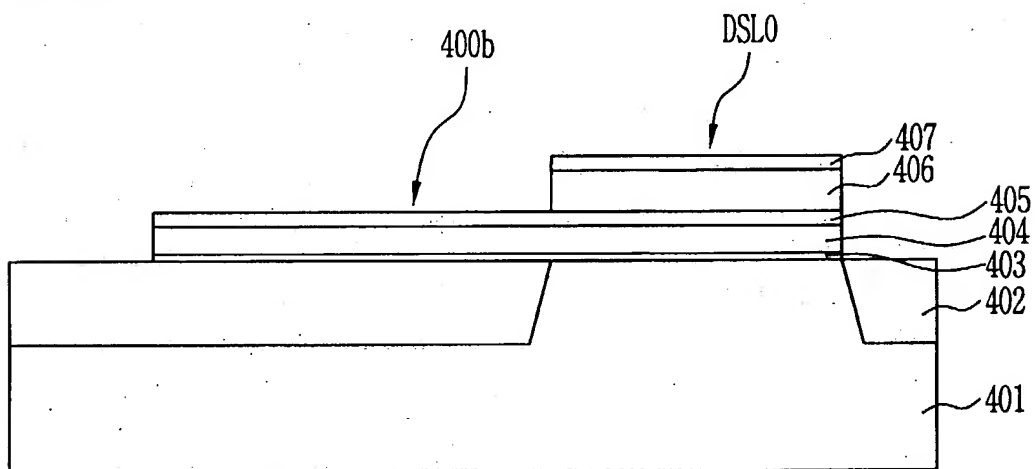
【도 5c】



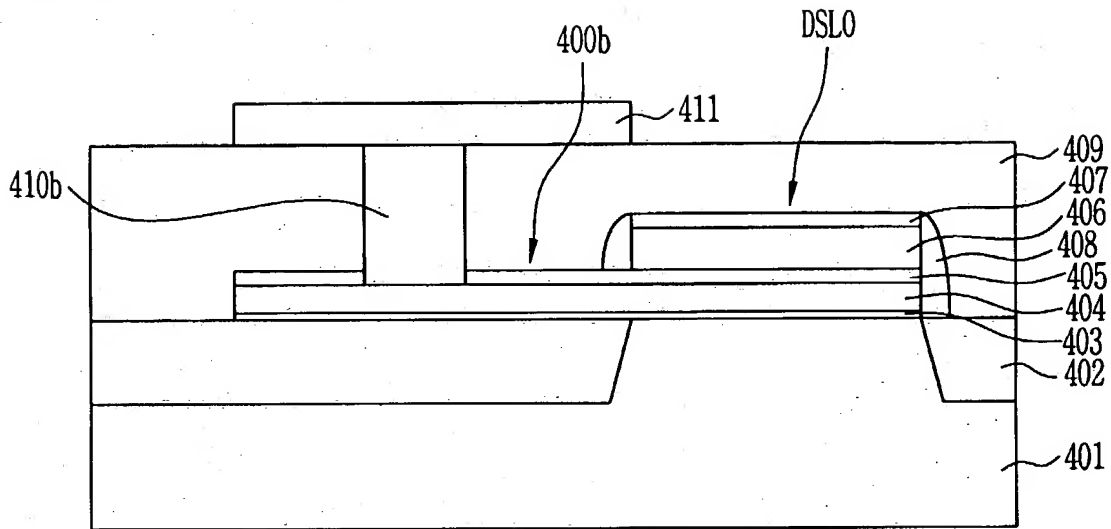
【도 5d】



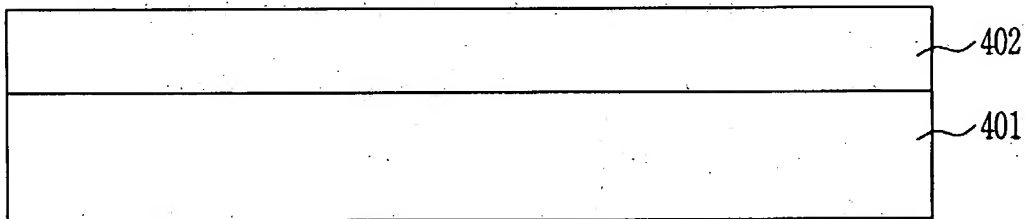
【도 5e】



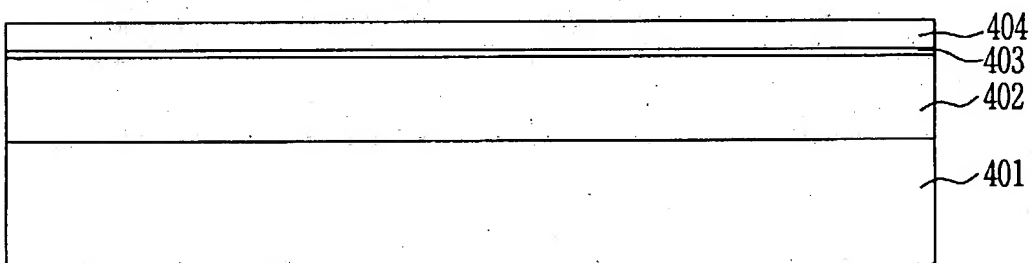
【도 5f】



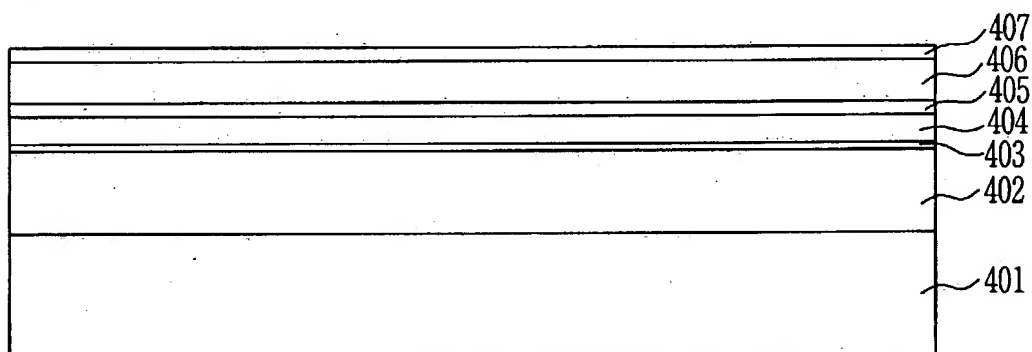
【도 6a】



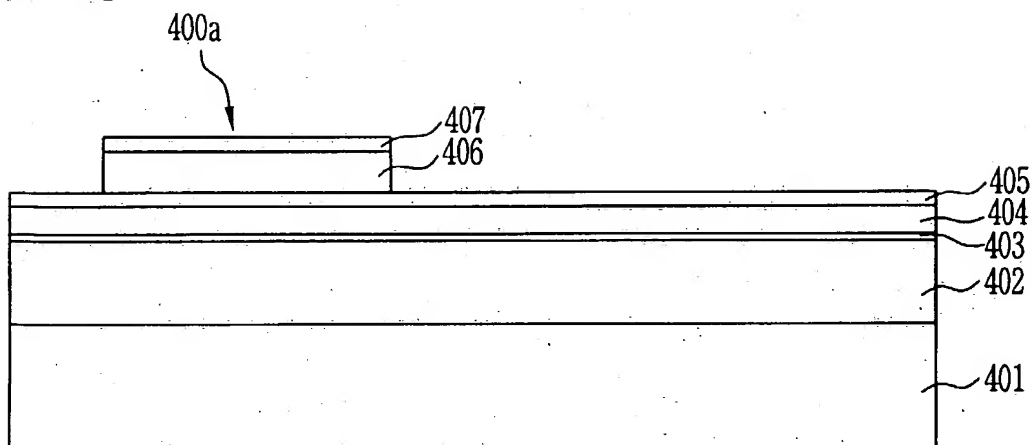
【도 6b】



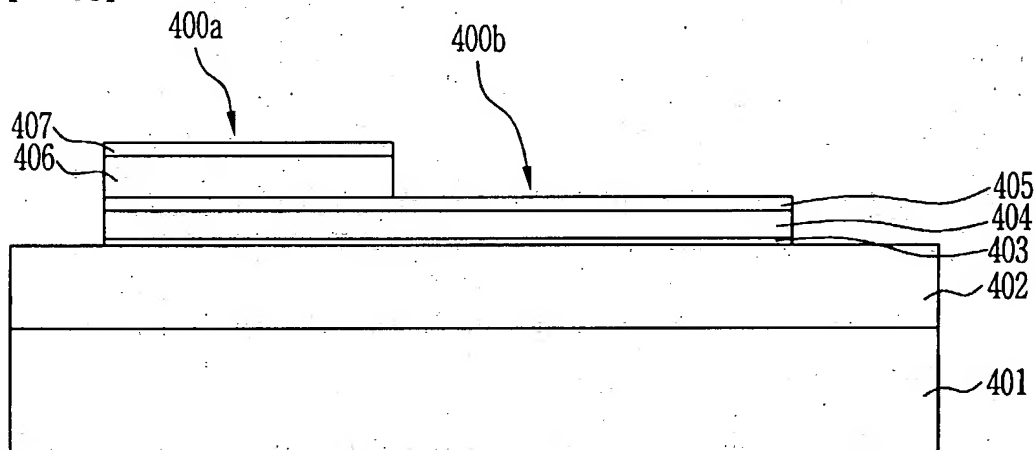
【도 6c】



【도 6d】



【도 6e】



【도 6f】

